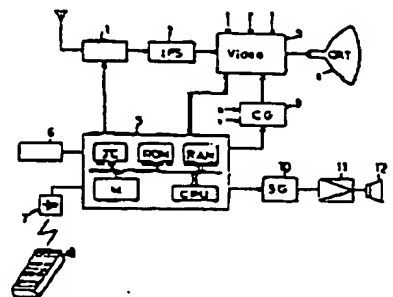


(54) ELECTRONIC EQUIPMENT PROVIDED WITH SETTING FUNCTION

(11) 5-292420 (A) (43) 5.11.1993 (19) JP
 (21) Appl. No. 4-113209 (22) 7.4.1992
 (71) SONY CORP (72) HISAFUMI YAMADA(3)
 (51) Int. Cl.⁶ H04N5/44, G06F1/24

PURPOSE: To easily handle an electronic equipment by providing a function to reset set inputs and to return to a state before setting after a set mode is obtained.

CONSTITUTION: The previous state of set data to be changed is stored, it is always judged whether the setting cancel key of a remote controller 8 is passed or not and while this setting cancel key is not pressed, data set by a user are stored in the RAM of a control part 5. When a setting end key is finally pressed, this setting operation is completed and the start of the next set mode is waited. When missing the setting order on the stage of set data inputs or stopping the setting in the middle, the setting cancel key can be pressed. Then, all the set data under inputting are cleared, and the state before setting is returned by reading the data before setting stored in the next step. Thus, the original set state can be recovered only by pressing the setting cancel key.



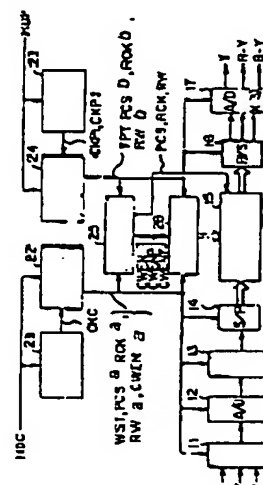
1: tuner, 2: intermediate frequency amplifying part, 3: video signal processing, 6: input key, 7: photo detecting part, 9: character generator, 10: audio generator, 11: amplifier, 12: speaker

(54) TIMING SIGNAL GENERATING CIRCUIT FOR FIELD MEMORY

(11) 5-292421 (A) (43) 5.11.1993 (19) JP
 (21) Appl. No. 4-88604 (22) 9.4.1992
 (71) TOSHIBA CORP(1) (72) YOSHITAKA KORENORI
 (51) Int. Cl.⁶ H04N5/45

PURPOSE: To make a semiconductor device compact and inexpensive by preventing the synchronous write/read of a master screen from being mismatched with the switching of the synchronous write of a slave screen.

CONSTITUTION: A slave screen clock signal generating circuit 21 and a master screen clock signal generating circuit 23 are composed of a gated oscillator, and a synchronizing timing signal generating circuit 25 switches slave screen synchronizing and master screen synchronizing corresponding to the rise/fall of a horizontal display period signal TPT showing the display positions of slave screens generated corresponding to the outputs of these generating circuits 21 and 23 and the states of a slave screen synchronous write enable signal CWENP and a write timing signal TWT. Therefore, the synchronous write/read of master screens can be surely prevented from being mismatched with the switching of the synchronous write of slave screens without using a conventional 1H line memory.



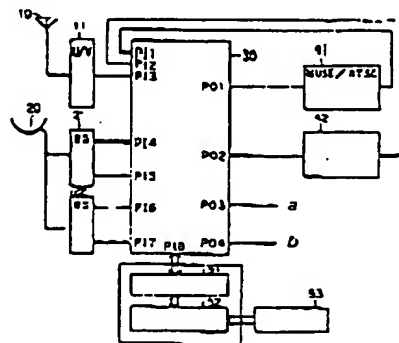
11: changeover switch, 12: interpolation circuit, 13: field memory, 21: slave picture synchronizing timing signal generating circuit, 23: master screen synchronizing timing signal generating circuit, 25: address signal generating circuit, a: slave, b: master

(54) MULTI-SYSTEM TELEVISION RECEIVER

(11) 5-292422 (A) (43) 5.11.1993 (19) JP
 (21) Appl. No. 4-86956 (22) 8.4.1992
 (71) TOSHIBA CORP (72) TETSUYA KAWAMOTO
 (51) Int. Cl.⁶ H04N5/45, H04N5/46

PURPOSE: To easily handle a television receiver and to obtain extensive margin by automatically switching a signal passage for multi-picture processing corresponding to the designating signal of a user and guiding a desired processing circuit from a decoder.

CONSTITUTION: An output terminal PO1 of a switching circuit 30 is connected to a MUSE(Multiple Sub-sampling Encoding)/NTSC decoder 41, an output terminal PO2 is connected to a pay broadcasting decoder 42, an output terminal PO3 of the switching circuit 30 is connected to a master screen processing circuit, and an output terminal PO4 is connected to a slave screen processing circuit. Further, the switching circuit 30 is provided with a control signal input terminal PI8 for applying control signals to variously switch connecting passages between input terminals and output terminals. A deciding circuit 51 is provided with a function to decide the systems of signals from a signal processing part 52 and signals inputted to the switching circuit 30 and corresponding to the judged result, the switching of connecting passages between the input and output terminals of the switching circuit 30 is controlled.



11: U/V tuner, 21, 22: IS tuner, 33: key operation part, (a): master screen processing circuit, (b): slave screen processing circuit

(51)IntCl.

機別記号

庁内整理番号

FI

技術表示箇所

H04N 5/45

審査請求 未請求 請求項の数1(全8頁)

(21)出願番号 特願平4-88604

(22)出願日 平成4年(1992)4月9日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 是則 好孝

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

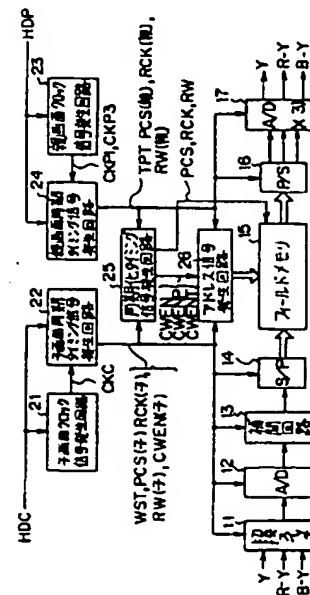
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 フィールドメモリのタイミング信号発生回路

(57)【要約】

【目的】この発明の目的は、親画面の同期書込み読出しと、子画面の同期書込みの切換えの不整合を回避し、且つ半導体装置の小型化、低廉化を可能とする。

【構成】子画面クロック信号発生回路21、親画面クロック信号発生回路23をゲートッド発振器によって構成し、同期化タイミング信号発生回路25は、これら発生回路21、23の出力に応じて生成された子画面の表示位置を示す水平表示期間信号TPTの立上がり、立下り、および子画面同期ライトイネーブル信号CWENP、書込みタイミング信号TWTの状態に応じて子画面同期と親画面同期を切換えている。したがって、従来のように、1Hラインメモリを使用することなく、親画面の同期書込み読出しと、子画面の同期書込みの切換えの不整合を確実に回避することができる。



【特許請求の範囲】

【請求項1】 ゲーテッド発振器によって構成され、挿入画面の同期信号に同期した基準信号を発生する第1の信号発生回路と、

ゲーテッド発振器によって構成され、被挿入画面の同期信号に同期した基準信号を発生する第2の信号発生回路と、

前記第1の信号発生回路によって発生された基準信号に応じて、挿入画面を書込むための第1のタイミング信号、および書込み制御信号を発生する第1のタイミング信号発生回路と、

前記第2の信号発生回路によって発生された基準信号に応じて、挿入画面を書込み、読出すための第2のタイミング信号、前記挿入画面の表示期間を示す表示期間信号、および前記挿入画面の書込みタイミングを示す書込みタイミング信号を発生する第2のタイミング信号発生回路と、

前記表示期間信号と前記書込み制御信号の状態に応じて前記第1のタイミング信号を選択出力し、前記表示期間信号と前記書込みタイミング信号の状態に応じて前記第2のタイミング信号を選択出力する選択手段と、

この選択手段から出力される第1のタイミング信号に応じて、前記挿入画面を記憶し、第2のタイミング信号に応じて、前記挿入画面を記憶するとともに、この記憶した挿入画面が読出されるフィールドメモリと、を具備することを特徴とするフィールドメモリのタイミング信号発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば1つの画面に2種類の画像を表示することが可能な、所謂2画面テレビジョン（以下、PIPと称す）に適用されるフィールドメモリのタイミング信号発生回路に関する。

【0002】

【従来の技術】周知のように、この種のPIPは、例えば被挿入画面（以下、親画面と称す）に、挿入画面（以下、子画面と称す）が挿入される。この子画面は、通常デジタル信号とされたテレビジョン信号を、テレビジョン装置に内蔵されたフィールドメモリに書込み、この書込まれたテレビジョン信号をフィールドメモリから読出して親画面に挿入される。

【0003】上記PIPに使用されている書込みタイミング信号、読出しタイミング信号は、従来、親画面、子画面に含まれる水平同期信号に基づいて、PLL（Phase Locked Loop）回路によって生成される場合と、ゲーテッド発振器によって、親画面および子画面の水平同期信号に対応して発生する場合とがある。

【0004】

【発明が解決しようとする課題】上記PLL回路を使用したタイミング信号発生器の場合、全ての回路を集積回

路によって構成することが困難であり、集積回路に若干の外付け部品が必要となる。したがって、装置全体のコストが上昇する原因となる。

【0005】また、親画面および子画面の水平同期信号に対応してタイミング信号を発生するゲーテッド発振器を使用するタイプのタイミング信号発生器では、子画面の同期信号に応じて、子画面データをフィールドメモリに書込む場合と、親画面の同期信号に対応して、子画面データをフィールドメモリに書込み、この書込んだ子画面データを読出す場合との切換えに不整合が生じる。このため、1H分の記憶容量を有する1Hラインメモリを使用するなどして回避している。しかし、1Hラインメモリを使用する場合、PIP用の半導体装置のサイズが大きくなり、装置全体のコストが上昇する原因となっていた。

【0006】この発明は、上記課題を解決するためになされたものであり、その目的とするところは、親画面の同期書込み読出しと、子画面の同期書込みの切換えの不整合を確実に回避することができ、半導体装置のサイズの大小型化を抑えることができ、しかも、安価なフィールドメモリのタイミング信号発生回路を提供しようとするものである。

【0007】

【課題を解決するための手段】この発明は、上記課題を解決するため、ゲーテッド発振器によって構成され、挿入画面の同期信号に同期した基準信号を発生する第1の信号発生回路と、ゲーテッド発振器によって構成され、被挿入画面の同期信号に同期した基準信号を発生する第2の信号発生回路と、前記第1の信号発生回路によって発生された基準信号に応じて、挿入画面を書込むための第1のタイミング信号、および書込み制御信号を発生する第1のタイミング信号発生回路と、前記第2の信号発生回路によって発生された基準信号に応じて、挿入画面を書込み、読出すための第2のタイミング信号、前記挿入画面の表示期間を示す表示期間信号、および前記挿入画面の書込みタイミングを示す書込みタイミング信号を発生する第2のタイミング信号発生回路と、前記表示期間信号と前記書込み制御信号の状態に応じて前記第1のタイミング信号を選択出力し、前記表示期間信号と前記書込みタイミング信号の状態に応じて前記第2のタイミング信号を選択出力する選択手段と、この選択手段から出力される第1のタイミング信号に応じて、前記挿入画面を記憶し、第2のタイミング信号に応じて、前記挿入画面を記憶するとともに、この記憶した挿入画面が読出されるフィールドメモリとを有している。

【0008】

【作用】すなわち、この発明は、第1、第2の信号発生回路をゲーテッド発振器によって構成することにより、PLL回路を使用する場合に比べて回路規模を小さくすることができる。

【0009】また、選択手段は、表示期間信号と書き込み制御信号の状態に応じて第1のタイミング信号を選択出力し、表示期間信号と書き込みタイミング信号の状態に応じて第2のタイミング信号を選択出力し、フィールドメモリは選択手段から出力される第1のタイミング信号に応じて挿入画面を記憶し、第2のタイミング信号に応じて、挿入画面を記憶するとともに、この記憶した挿入画面を読出している。したがって、1Hラインメモリを使用することなく、切換えの不整合を確実に回避できる。

【0010】

【実施例】以下、この発明の一実施例について、図面を参照して説明する。

【0011】図1において、輝度信号Y、色差信号R-Y、B-Yからなる挿入画面としての子画面画像データは、切換えスイッチ11によって、アナログ/デジタル変換回路(A/D)12に順次供給され、デジタル信号に変換される。このデジタル信号に変換された子画面画像データは、補間回路13において、例えば1/3に圧縮される。この圧縮された子画面画像データは、シリアル/パラレル変換回路(S/P)14によって処理レートが減少され、例えば90Kバイトの記憶容量を有するフィールドメモリ15に書き込まれる。このフィールドメモリ15に対する子画面画像データの書き込みタイミング、およびフィールドメモリ15から子画面画像データを読出すための読出しタイミングについては後述する。このフィールドメモリ15から読出された子画面画像データは、パラレル/シリアル変換回路(P/S)16によって処理レートが元に戻され、3つのデジタル/アナログ変換回路(D/A)17によって、輝度信号Y、色差信号R-Y、B-Y毎にアナログ信号に変換され出力される。

【0012】一方、フィールドメモリ15は、次のような構成の回路によって制御される。ゲートッド発振器によって構成された子画面クロック信号発生回路21は、子画面に含まれる水平同期信号HDCに応じて、例えば12MHzのクロック信号CKCを発生する。このクロック信号CKCは、子画面同期タイミング信号発生回路22に供給される。この子画面同期タイミング信号発生回路22は、クロック信号CKCおよび水平同期信号HDCに応じて、書き込みデータの取込みラッチ信号WST、フィールドメモリ・プリチャージ・スタート信号PCS(子)、フィールドメモリ用基本クロック信号RCK(子)、読出し書き込み切換え信号RW(子)、子画面同期ライトイネーブル信号CWENを発生する。

【0013】また、ゲートッド発振器によって構成された親画面クロック信号発生回路23は、被挿入画面としての親画面に含まれる水平同期信号HDPに応じて、例えば12MHzのクロック信号CKP1、およびクロック信号CKP1を1/3の周期に分周したクロック信号CKP3発生する。このクロック信号CKP1、CKP

3は、親画面同期タイミング信号発生回路24に供給される。この親画面同期タイミング信号発生回路24は、クロック信号CKP1、CKP3および水平同期信号HDPに応じて、子画面の表示位置を示す水平表示期間信号TPT、フィールドメモリ・プリチャージ・スタート信号PCS(親)、フィールドメモリ用基本クロック信号RCK(親)、読出し書き込み切換え信号RW(親)を発生する。この親画面同期タイミング信号発生回路24によって発生されたTPT、PCS(親)、RCK

(親)、RW(親)は、前記子画面同期タイミング信号発生回路22によって発生された書き込みデータの取込みラッチ信号WST、フィールドメモリ・プリチャージ・スタート信号PCS(子)、フィールドメモリ用基本クロック信号RCK(子)、読出し書き込み切換え信号RW(子)、子画面同期ライトイネーブル信号CWEN(子)とともに、同期化タイミング信号発生回路25に供給される。

【0014】図2は、同期化タイミング信号発生回路25を示すものである。この同期化タイミング信号発生回路25は、親/子同期切換えタイミング信号発生回路25aと切換え回路25bによって構成されている。前記親/子同期切換えタイミング信号発生回路25aは、前記供給された書き込みデータの取込みラッチ信号WST、子画面同期ライトイネーブル信号CWEN、水平表示期間信号TPTに基づいて、親/子同期切換え信号TPT1を発生するとともに、子画面同期ライトイネーブル信号CWEN、クロック信号CKP1、3に応じて、親同期信号に応じた子画面同期ライトイネーブル信号CWENP、子画面同期ライトイネーブルタイミング信号CWETを発生する。さらに、親/子同期切換えタイミング信号発生回路25aは、子画面データのデータのサンプリングからフィールドメモリ15にデータを書込むまでの期間を示す書き込みタイミング信号TWTを発生している。この書き込みタイミング信号TWTは、親/子同期切換えタイミング信号発生回路25aの内部で使用される。

【0015】前記切換え回路25bは、前記親/子同期切換え信号TPT1に従って、子画面用のフィールドメモリ・プリチャージ・スタート信号PCS(子)、フィールドメモリ用基本クロック信号RCK(子)、読出し書き込み切換え信号RW(子)と、親画面用のフィールドメモリ・プリチャージ・スタート信号PCS(親)、フィールドメモリ用基本クロック信号RCK(親)、読出し書き込み切換え信号RW(親)とを切換え出力する。この切換え回路25bから出力されたフィールドメモリ・プリチャージ・スタート信号PCS、フィールドメモリ用基本クロック信号RCK、読出し書き込み切換え信号RWは、前記フィールドメモリ15に供給され、前記親/子同期切換えタイミング信号発生回路25aから出力された子画面同期ライトイネーブル信号CWEN、親画面

同期信号に応じた子画面同期ライトイネーブル信号CWENP、子画面同期ライトイネーブルタイミング信号CWETはアドレス発生回路26に供給される。

【0016】このアドレス発生回路26は、CWEN、CWENP、CWETに基づいて、前記フィールドメモリ15のアドレスを制御するとともに、前記切換スイッチ11、アナログ／デジタル変換回路12、補間回路13、シリアル／パラレル変換回路14、パラレル／シリアル変換回路16、デジタル／アナログ変換回路17を制御する。上記構成において、図3乃至図6を参照して、フィールドメモリ15に対する同期切換えタイミングについて説明する。先ず、図3を参照して全体的な表示領域と書き込み領域に対する親同期、子同期の書き込み、読出しのタイミングについて説明する。

【0017】同期化タイミング信号発生回路25は、親画面タイミング信号発生回路24から出力される画面の表示期間を大きめに含んだ水平表示期間信号TPPTの立上りにおいて、子画面同期から親画面同期に切換え、水平表示期間信号TPPTの立下りにおいて、親画面同期から子画面同期に切換える。即ち、水平表示期間信号TPPTは、子画面を親画面に表示する期間を示している。

【0018】前記子画面同期の期間においては、前記切換スイッチ11、アナログ／デジタル変換回路12、補間回路13、シリアル／パラレル変換回路14を介して、子画面データがフィールドメモリ15に子画面のタイミングで書込まれる。

【0019】また、親画面同期の期間においては、前記切換スイッチ11、アナログ／デジタル変換回路12、補間回路13、シリアル／パラレル変換回路14を介して、親画面のタイミングによってフィールドメモリ15に子画面データが書込まれる。さらに、親画面のタイミングによってフィールドメモリ15から子画面データが読出される。この読出された子画面データはパラレル／シリアル変換回路16、デジタル／アナログ変換回路17を介して出力され、親画面の水平表示期間信号TPPTに対応した部分に挿入される。

【0020】図4は、前記子画面同期の場合の書き込みタイミングである。子画面同期の場合、同期化タイミング信号発生回路25から出力される子画面用のフィールドメモリ・プリチャージ・スタート信号PCS、フィールドメモリ用基本クロック信号RCK、子画面同期ライトイネーブル信号CWEN、子画面同期ライトイネーブルタイミング信号CWETに応じてフィールドメモリ15に子画面データが書込まれる。

【0021】図5は、子画面同期から親画面同期へ切換える場合のタイミングを示すものである。この場合、同期化タイミング信号発生回路25の親／子同期切換えタイミング信号発生回路25aにおいて、水平表示期間信号TPPTの立上り時に子画面同期によって書き込みが行われているか否かに応じて子画面同期から親画面同期へ切

換えるタイミングが制御される。

【0022】水平表示期間信号TPPTは実際にフィールドメモリ15からデータを読み出すタイミングより早めに立上る。この水平表示期間信号TPPTが立上るとき、子画面同期ライトイネーブル信号CWENを親画面側のクロック信号によって同期化した子画面同期ライトイネーブル信号CWENPの状態によって、親画面同期から子画面同期への移行の不整合を回避している。即ち、水平表示期間信号TPPTの立上りにおいて、(A)で示すように、子画面同期ライトイネーブル信号CWENPがハイレベル“H”の場合、水平表示期間信号TPPTより若干遅れて、前記親／子同期切換えタイミング信号発生回路25aから出力される親／子同期切換え信号TPPT1がハイレベルとされる。この親／子同期切換え信号TPPT1が立上がる部分において、切換回路25bにより、子画面のPCS(子)、RCK(子)、RW(子)から親画面のPCS(親)、RCK(親)、RW(親)へ切換えられる。即ち、子画面同期ライトイネーブル信号CWENPがハイレベルの場合、子画面同期によるフィールドメモリ15への子画面データの書き込みは終了しているため、直ちに子画面同期から親画面同期へ切換えられる。

【0023】また、水平表示期間信号TPPTの立上るとき、(B)で示すように、子画面同期ライトイネーブル信号CWENPがローレベル“L”の場合、CWEN、CWENPがハイレベルとなると、前記親／子同期切換えタイミング信号発生回路25aから出力される親／子同期切換え信号TPPT1がハイレベルとされる。この親／子同期切換え信号TPPT1が立上がる部分において、切換回路25bにより、子画面のPCS(子)、RCK(子)、RW(子)から親画面のPCS(親)、RCK(親)、RW(親)へ切換えられる。

【0024】水平表示期間信号TPPTが立上った状態において、子画面同期ライトイネーブル信号CWENPがローレベルの期間では、子画面同期によりフィールドメモリ15に子画面データが書込まれている。このため、これが終了するまで親画面同期への切換えを待っている。このようにして、子画面同期から親画面同期へ切換えられると、これ以降、親画面同期の下で子画面データの書き込み、読出しが実行される。

【0025】図6は、親画面同期から子画面同期へ切換える場合のタイミングを示すものである。この場合、同期化タイミング信号発生回路25の親／子同期切換えタイミング信号発生回路25aにおいて、水平表示期間信号TPPTの立下り時に親画面同期によって書き込みが行われているか否かに応じて、子画面同期から親画面同期へ切換えられる。

【0026】ここで、書き込み時におけるデータのサンプリングは読出し時よりも長いため、書き込み時のサンプリングからフィールドメモリ15にデータを書込むまでの

期間を示す書込みタイミング信号TWTによって切換えタイミングが検出される。即ち、水平表示期間信号TPTの立下り時に、書込みタイミング信号TWTがハイレベルの場合、(C)に示すように、書込みタイミング信号TWTがローレベルとなった時点で親/子同期切換えタイミング信号発生回路25aから出力される親/子同期切換え信号TPT1がローレベルとされる。この親/子同期切換え信号TPT1の立下りに応じて、切換回路25bにより、親画面のPCS(親)、RCK(親)、RW(親)から子画面のPCS(子)、RCK(子)、RW(子)へ切換えられる。

【0027】また、水平表示期間信号TPTの立下り時に、書込みタイミング信号TWTがローレベルの場合、(D)に示すように、水平表示期間信号TPTの立下がった時点で親/子同期切換えタイミング信号発生回路25aから出力される親/子同期切換え信号TPT1がローレベルとされる。この親/子同期切換え信号TPT1の立下りに応じて、切換回路25bにより、親画面のPCS(親)、RCK(親)、RW(親)から子画面のPCS(子)、RCK(子)、RW(子)へ切換えられる。

【0028】上記実施例によれば、子画面クロック信号発生回路21、親画面クロック信号発生回路23をゲートッド発振器によって構成している。したがって、このフィールドメモリのタイミング信号発生回路を集積回路化した場合において、外付け部品を不要とすることができる。

【0029】また、同期化タイミング信号発生回路25の親/子同期切換えタイミング信号発生回路25aは、親画面同期タイミング信号発生回路24から供給される子画面の表示位置を示す水平表示期間信号TPTの立上がり、および子画面同期ライトイネーブル信号CWENPの状態に応じて親/子同期切換え信号TPT1を立上げらせ、水平表示期間信号TPTの立下がり、および書込みタイミング信号TWTの状態に応じて親/子同期切換え信号TPT1を立下がらせ、切換回路25bは、この親/子同期切換え信号TPT1の立上がり、立下りに応じて子画面同期と親画面同期を切換えている。したが

って、従来のように、1Hラインメモリを使用することなく、親画面の同期書込み読出しと、子画面の同期書込みの切換えの不整合を確実に回避することができる。尚、この発明は上記実施例に限定されるものではなく、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0030】

【発明の効果】以上、詳述したようにこの発明によれば、親画面の同期書込み読出しと、子画面の同期書込みの切換えの不整合を確実に回避することができるとともに、半導体装置のサイズの大型化を抑えることができ、しかも、安価なフィールドメモリのタイミング信号発生回路を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例を示す構成図。

【図2】図1の要部を取出して示す構成図。

【図3】図1、図2の全体的な動作を示すタイミングチャート。

【図4】子画面同期の場合の書込み動作を示すタイミングチャート。

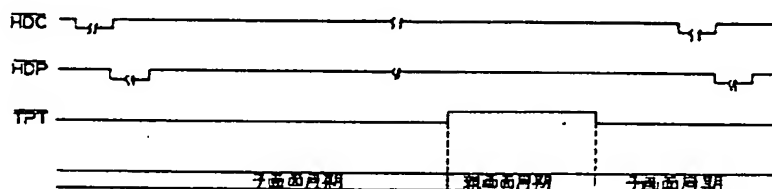
【図5】子画面同期から親画面同期へ切換える場合の動作を示すタイミングチャート。

【図6】親画面同期から子画面同期へ切換える場合の動作を示すタイミングチャート。

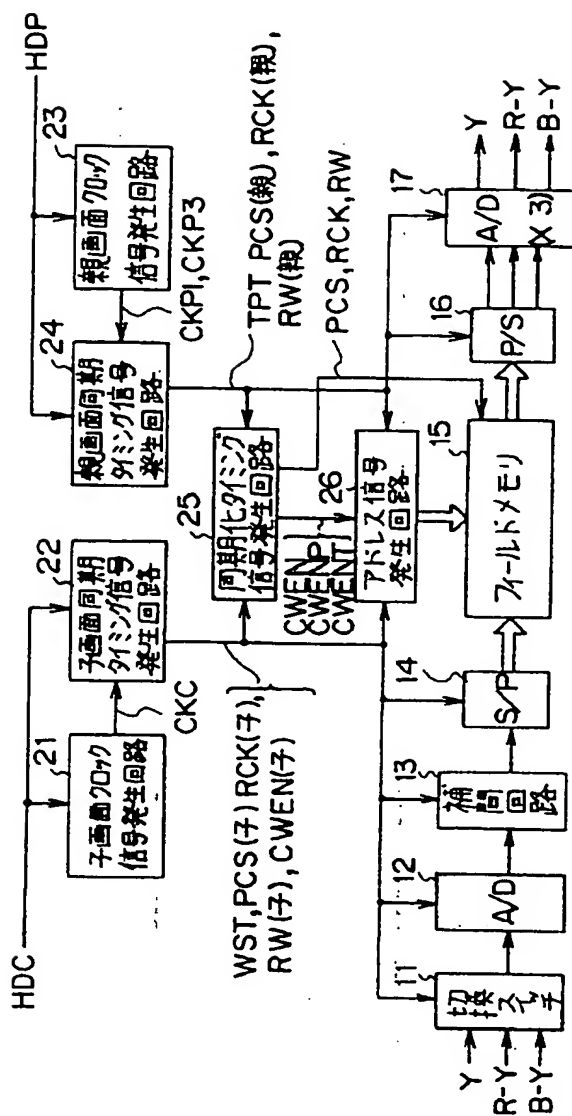
【符号の説明】

15…フィールドメモリ、21…子画面クロック信号発生回路、22…子画面同期タイミング信号発生回路、23…親画面クロック信号発生回路、24…親画面同期タイミング信号発生回路、25…同期化タイミング信号発生回路、25a…親/子同期切換えタイミング信号発生回路、25b…切換え回路、TPT…水平表示期間信号、CWEN…子画面同期ライトイネーブル信号、CWENP…親画面同期信号に応じた子画面同期ライトイネーブル信号、TWT…書込みタイミング信号、PCS…フィールドメモリ・プリチャージ・スタート信号、RCK…フィールドメモリ用基本クロック信号、RW…読出し書込み切換え信号。

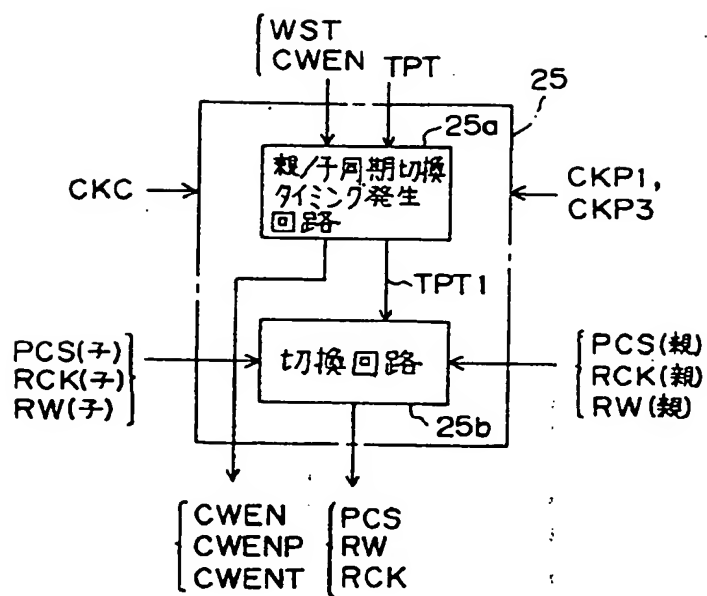
【図3】



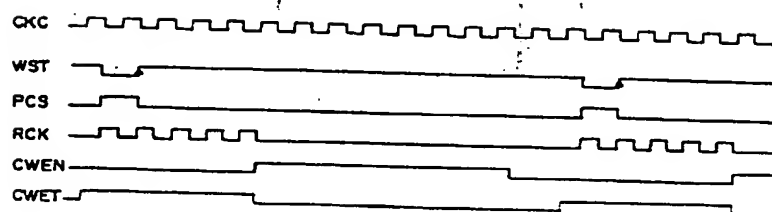
【図1】



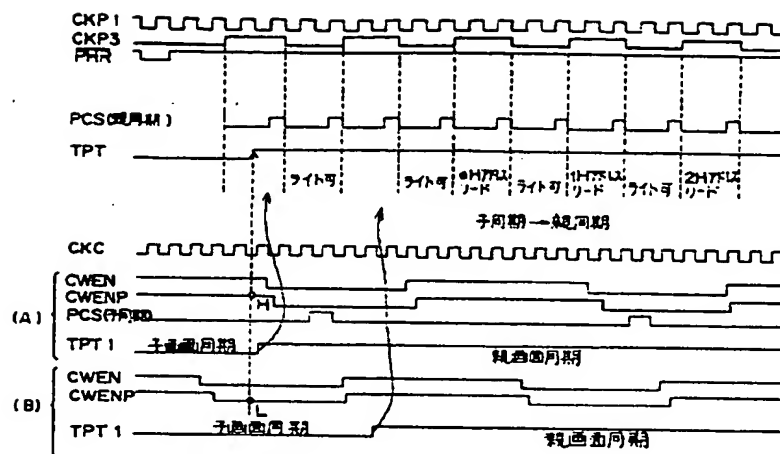
【図2】



【図4】



【図5】



【図6】

